Midterm Project: ALU Design

110學年度第2學期

組別: 第34組

班級: 資訊二乙

組員1: 10927207 蒲品憶

組員2: 10927234 吳凱鈺

組員3: 10927256 姜美羚

**一、設計重點說明**

◆按題目要求依序做出AND, OR, ADD, SUB, SLT, SLL, DIVU，最後用MUX控制訊號，將全部的功能整合在一起。

(1)ALU : 先依照課本電路圖設計Full Adder，然後做出1 bit ALU，控制出輸出訊號and,or,add,sub,less，最後將32個1-bit ALU組合起來，形成一個32-bit ALU。  
  
(2)Division Hardware : 依照課本第三章第2節第23頁流程圖步驟做出。

(3)Shifters : 做出2to1 MUX，然後利用MUX做出5層移位(32=2៱5)，第一層左移1位元、第二層左移兩位元、第三層左移4位元、第四層左移8位元、第五層左移16位元。

(4)HiLo 暫存器 : 儲存除法器計算結果的餘數和商數。

(5)Mux多工器 : 控制輸出訊號ALU,Hi,Lo,Shifter。

(6)ALU Control: 根據輸入的6-bit控制訊號，決定該完成哪一種運算。

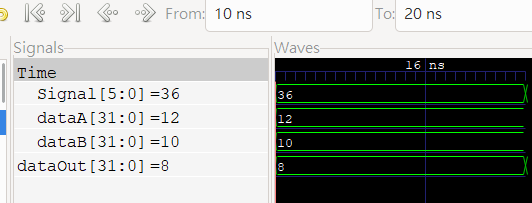
(7)Testbench : 用來測試上述所寫的功能是否正確。

**二、 結果**

Icarus Verilog 驗證結果

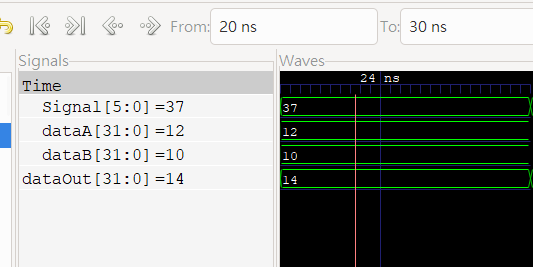
1.AND:





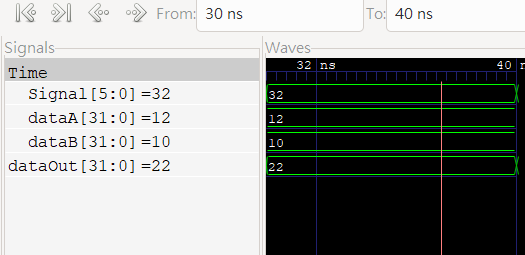
2.OR:





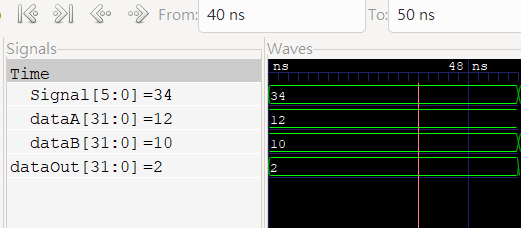
3.ADD:





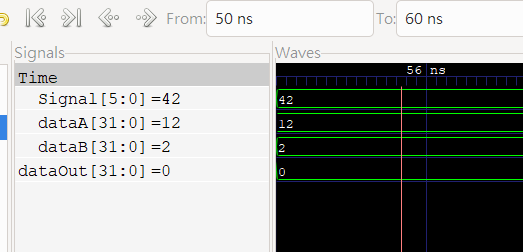
4.SUB:





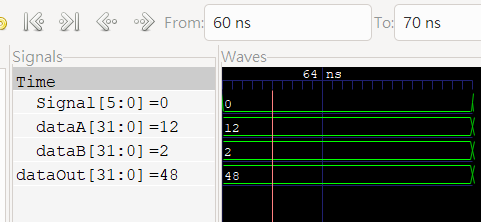
5.SLT:





6.SLL:

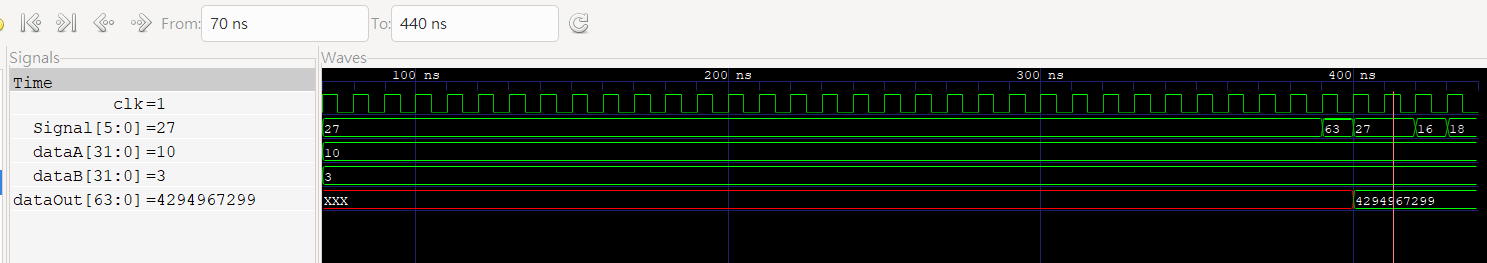




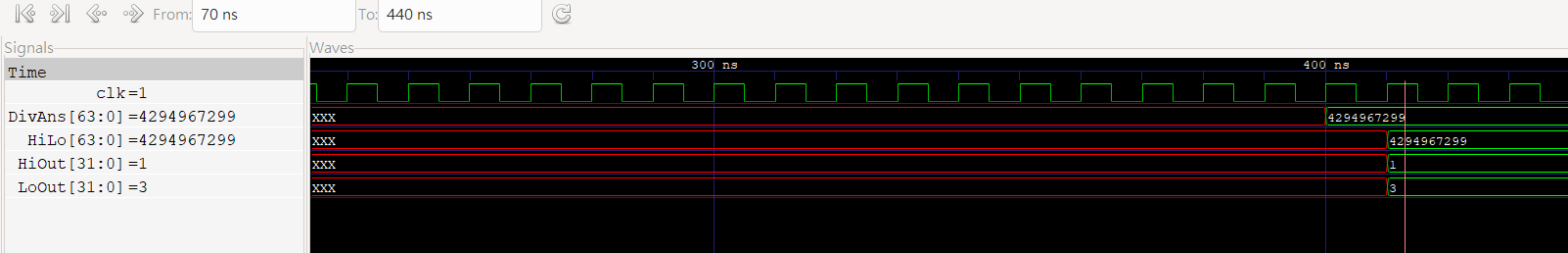
7.DIVU:



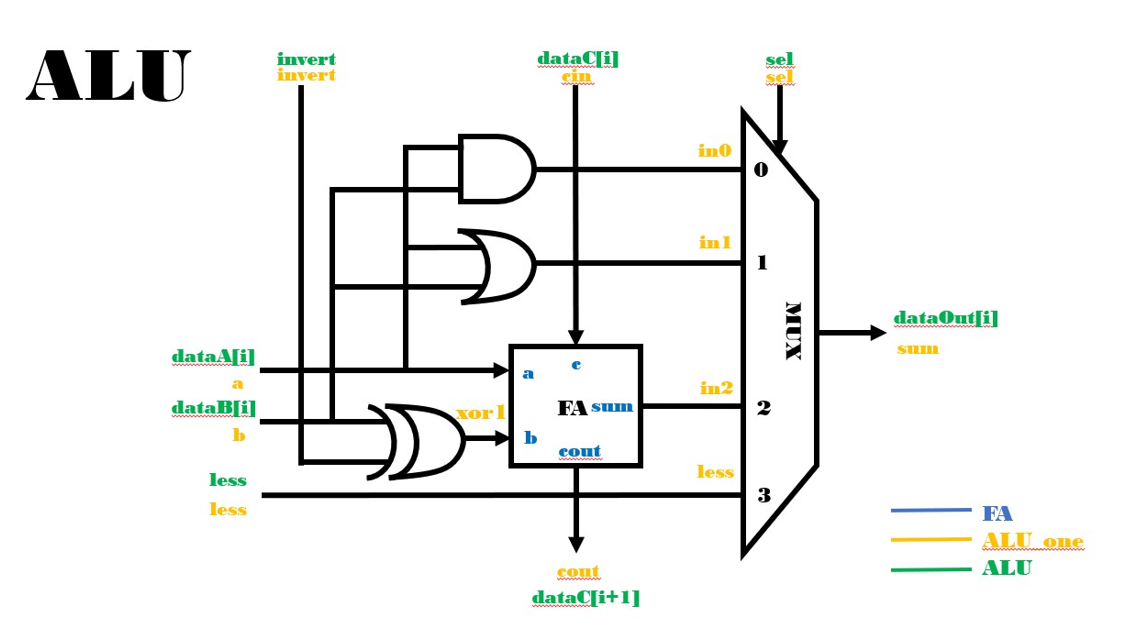
Divider:

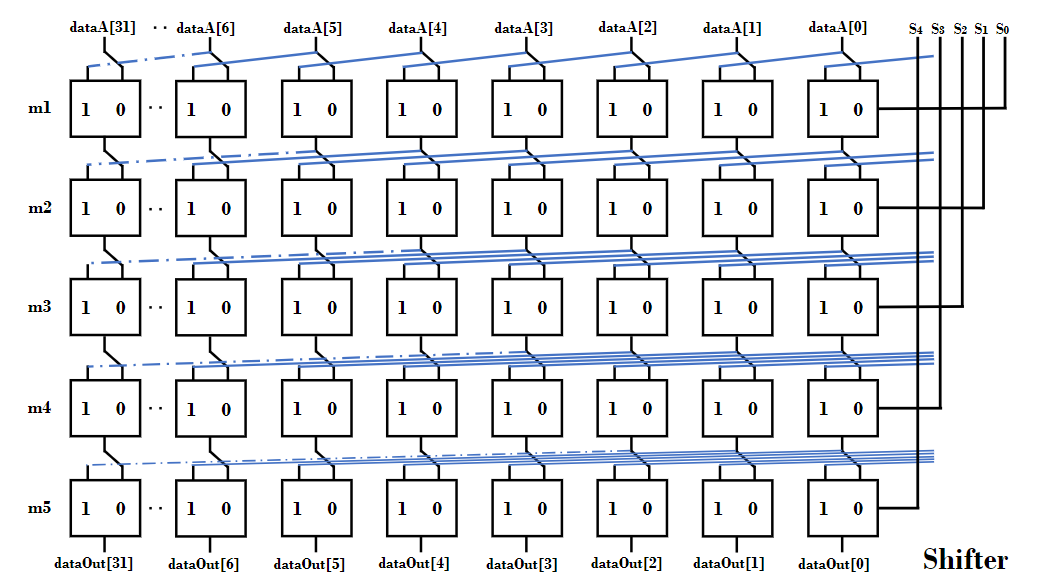


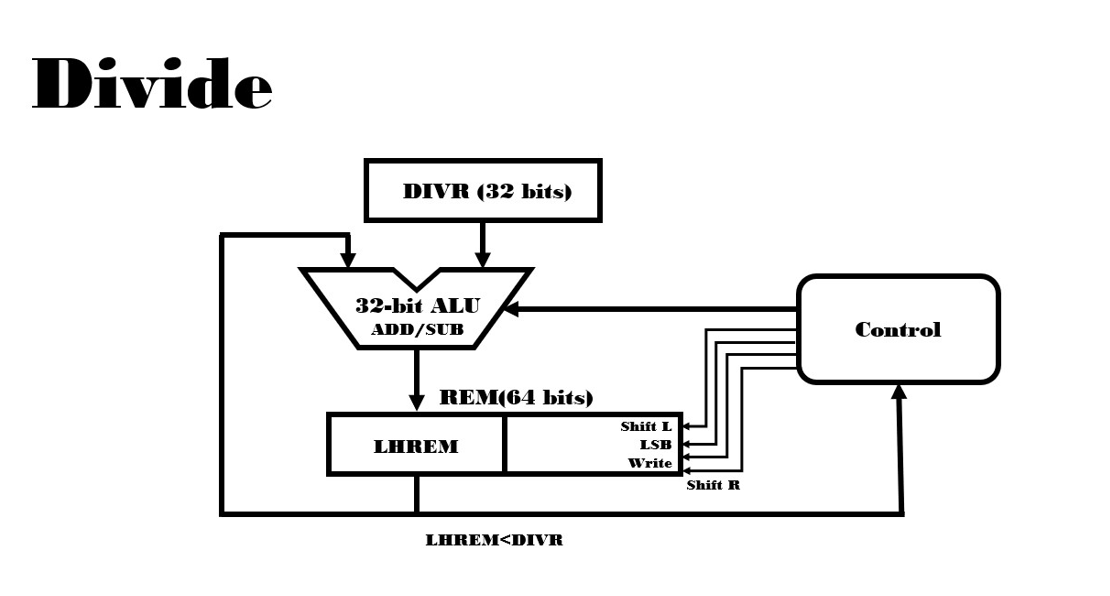
HiLo:

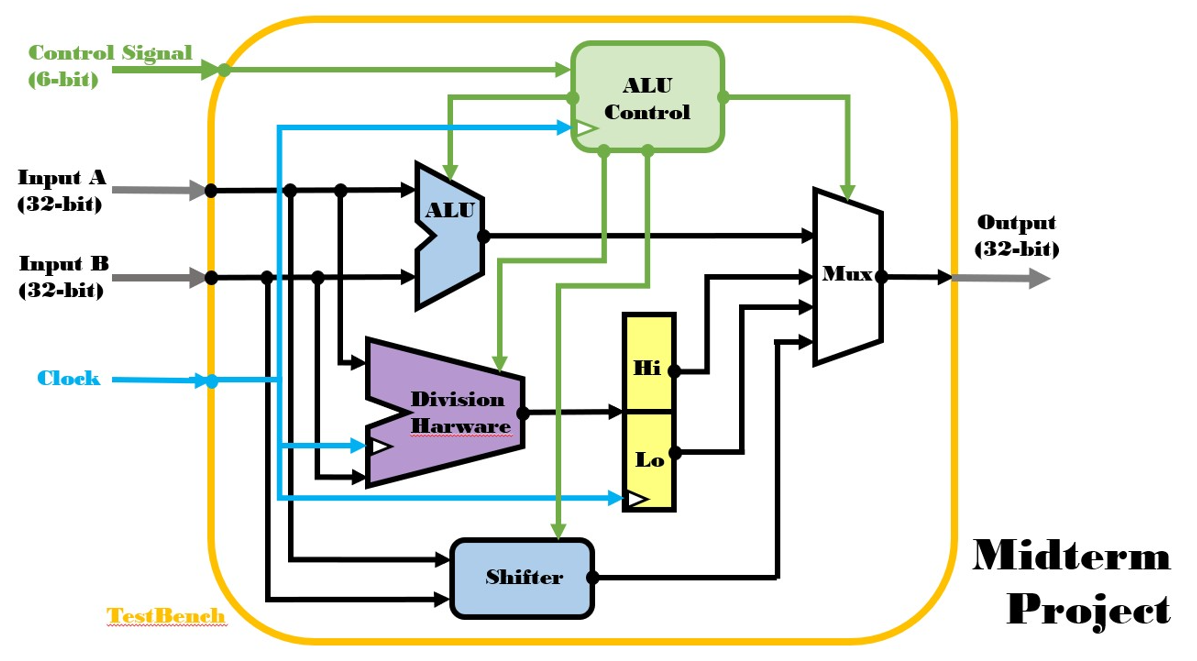


**三、架構圖**









**四、心得感想**

這次Midterm Project遠比想像中的困難，雖然有給出範例，但是要做的功能比起組語的作業難度高出很多，而且因為不熟悉硬體描述語言，所以我們經常因為一個小地方錯誤，花非常多的時間去Debug 。  
 像是不知道always裡面什麼時候才是用<=，什麼時候又是用=；什麼時候宣告要用wire或是用reg都是寫了一陣子才比較了解。還有，有些觀念一開始我們很難接受，像是組合邏輯是會「同時一起做完」這件事很難理解，因為通常我們在寫的程式都是一行一行執行，不會有這樣的情形發生，導致我們無法想像到底是怎麼做到的，直到現在寫完都還是覺得很神奇……。  
 經過這次期中作業，讓我們更加了解上課所學的內容，並得以實際應用所學，也更加了解verilog。

**五、分工方式**

監督: 姜美羚

Word檔 : 蒲品憶

ppt架構圖: 吳凱鈺

程式設計: 姜美羚、吳凱鈺、蒲品憶